

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-293853

(43)Date of publication of application : 04.11.1998

(51)Int.Cl. G06T 11/00
G09G 5/36

(21)Application number : 09-103061 (71)Applicant : MITSUBISHI ELECTRIC
CORP

(22)Date of filing : 21.04.1997 (72)Inventor : INOUE YOSHITSUGU
OBARA JUNKO
KAWAI HIROYUKI
NEGISHI HIROYASU

(54) CLIP PROCESSOR

(57)Abstract:

PROBLEM TO BE SOLVED: To speed up the generation of a clip code by performing the 1st step of a clip processing, i.e., deciding whether or not a primitive is put in a view volume through hardware.

SOLUTION: When values written in registers 231 to 236 are all '1', that shows that a vertex is put in the view volume. In other words, whether or not the vertex is in the view volume is known by only judging whether or not the values written in the registers 231 to 236 are all '1'. A clip code generation decision part 20 is equipped with a 6-input AND gate 24 for a demand like above, and the contents of the registers 231 to 236 are ANDed

to output a decision signal M1.

LEGAL STATUS [Date of request for examination] 01.10.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and INPIT are not responsible for any

damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the viewing area which consists of perpendicular boundaries of N pair to the shaft of N individual which intersects perpendicularly mutually in a zero The coordinate of the top-most vertices which it is the clip processor which performs clip processing at the time of displaying an indicator-chart-ed form, and said boundaries which accomplish a pair differ mutually through said zero, and constitute said indicator-chart-ed form about said same shaft, The 1st signal which performs subtraction and addition with the absolute value of the coordinate of the boundary of said viewing area corresponding to a functional signal taking the 1st and 2nd values, respectively, and is activated when the result is below zero, The operation part which outputs the 2nd signal which is activated in more than zero, and two or more 1st sort registers which store said 1st signal for said every shaft when said functional signal takes said 1st value, The clip processor equipped with two or more 2nd sort registers which store said

2nd signal for said every shaft when said functional signal takes said 2nd value.

[Claim 2] Said operation part is a clip processor according to claim 1 which is formed corresponding to each of said shaft and searches for said the 1st signal and said 2nd signal about said all shafts over said same top-most vertices in parallel.

[Claim 3] The clip processor according to claim 2 further equipped with the gate which takes the AND about the contents which said two or more 1st sort registers of all and said two or more 2nd sort registers of all store.

[Claim 4] The clip processor according to claim 1 further equipped with the 1st gate which takes the AND about the contents which said two or more 1st sort registers of all and said two or more 2nd sort registers of all store.

[Claim 5] The clip processor according to claim 4 further equipped with the 2nd gate which outputs the AND (larger integer smaller than $N+1$ than $M:1$) of the contents which the latch of N individual who does a sequential shift and stores the output of said gate, and said M latches store.

[Claim 6] With the latch of N individual who does a sequential shift and stores the contents which said two or more 1st sort registers of all and said two or more 2nd sort registers of all store The contents which said latch stores are arranged

for every said 1st sort register and register of the 2nd sort. It is the clip processor according to claim 1 with which each of said crossover checking circuit outputs the exclusive OR about the data which constitute said input data group about self by having further the 2-N piece crossover checking circuit inputted as an input data group.

[Claim 7] The 1st gate which takes two exclusive ORs of said data with which said N is 3 and each of said crossover checking circuit constitutes said input data group, The 2nd gate which takes three ANDs of said data which constitute said input data group, The 3rd gate which takes three ORs of said data which constitute said input data group, The clip processor according to claim 6 which has the 4th gate which takes the exclusive OR of the output of said 2nd gate, and the output of said 3rd gate, and the selector which outputs alternatively the output of said 1st gate, and the output of said 4th gate.

[Claim 8] The contents which said N is 3 and said 1st 1st sort register stores, the contents which said 2nd 1st sort register stores, The 1st gate which takes the AND of the contents which said 1st 2nd sort register stores, and the contents which said 2nd 2nd sort register stores, The 2nd gate which takes the AND of the contents which the output of said 1st gate and said 3rd 1st sort register store,

and the contents which said 3rd 2nd sort register stores, The clip processor.

according to claim 1 further equipped with the judgment signal generation

section which has the selector which outputs alternatively said output of said 1st

gate, and the output of said 2nd gate.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to clip processing of the shape of a basic form which constitutes the body displayed in graphics operation equipment (a "primitive" is called below).

[0002]

[Description of the Prior Art] In a graphics processing unit, in case it displays on a display, clip processing is performed. Clip processing is processing which displays only what exists in the window among the primitives of the body which should be displayed to four sides of the window displayed for example, in a 2D-Graphics display. Moreover, only the primitive which exists in the interior, for example in a 3D-Graphics display to the view volume of the rectangular parallelepiped which consists of a window and a flat surface according to the distance from a view, or a trapezoid angle pyramid of medulla oblongata is displayed.

[0003] Drawing 13 shows the concept of the clip processing in a 3D-Graphics

display, it gets down from it, and three square shapes which have top-most vertices V_0 , V_1 , and V_2 are displayed. In this graphic form, primitives may be top-most vertices V_0 , V_1 , and V_2 , may be line V_0V_1 , V_1V_2 , and V_2V_0 , and may be polygon $V_1V_2V_0$. Below, these cases are called that primitives are top-most vertices, a line, and a polygon, respectively. Moreover, drawing 14 shows signs that the graphic form displayed on a window was displayed, after clip processing is completed.

[0004] Clip processing is divided roughly into the 1st step which judges whether a primitive is settled in a window or view volume, the 2nd step which detects a crossover part with the flat surface which constitutes a primitive and a window concerned, or view volume when the result of the 1st step is "no", and the 3rd step which removes the part which is outside from a window or view volume among the primitives concerned.

[0005] The 1st step in case view volume is a rectangular parallelepiped is explained using drawing 15 and drawing 16. The case where view volume consists of six flat surfaces, $x=-1$, $x=1$, $y=-1$, $y=1$, $z=-1$, and $z=1$, is shown here.

[0006] When primitives are top-most vertices first, the coordinate of each top-most vertices is compared with the value which shows these six flat surfaces.

And the clip code which expresses, respectively whether top-most vertices are in a view volume side about each flat surface and whether a clip code is in the opposite side, for example by "1" and "0" is obtained. Since there are six flat surfaces, it is judged in 6-bit clip code whether the top-most vertices to which its attention is paid are settled in view volume. Therefore, if 6-bit all of clip codes take "1", the top-most vertices concerned will be judged to be settled in view volume. If based on drawing 13 - drawing 16 , the clip code about each top-most vertices and six flat surfaces is as being shown in Table 1, only top-most vertices V0 are settled in view volume, and it is shown that other top-most vertices V1 and V2 are located in the exterior of view volume.

[0007]

[Table 1]

[0008] When a primitive is a line, a 6-bit clip code is generated about each with the both ends (the starting point and terminal point) of a line, and about one line, only when all the 12-bit clip codes are "1", it judges that it is settled by the line

concerned in view volume. To a line by which one "at least 0" exists among 12-bit clip codes, the 2nd step which searches the intersection of view volume and the line concerned is carried out, referring to a clip code.

[0009] When a primitive is a polygon, this is divided into a triangle and processed (a polygonal primitive presupposes hereafter that it is a triangle). And only when a total of all of the 18-bit clip code about all the three top-most vertices that constitute this triangle is "1", it is judged with the polygon concerned being settled in view volume. To a line by which one "at least 0" exists among 18-bit clip codes, the 2nd step which searches for the intersection of view volume and the line concerned is carried out, referring to a clip code.

[0010]

[Problem(s) to be Solved by the Invention] Since comparison of the processing for generation of the above-mentioned clip code, i.e., the location of top-most vertices and the flat surface which constitutes view volume, and generation of a clip code based on the result of this comparison were conventionally performed with software, there was a trouble of requiring huge time amount.

[0011] This invention aims at offering the technique which was made in order to solve the above-mentioned trouble, realizes the judgment of whether the 1st

step in clip processing, i.e., a primitive, is settled in view volume by hardware, with accelerates the generation. Furthermore, it is also making into the purpose to offer the technique of detecting quickly a primitive [which of Men who constitutes view volume, and] crossing.

[0012]

[Means for Solving the Problem] What starts claim 1 among this invention is a clip processor which performs clip processing at the time of displaying an indicator-chart-ed form in the viewing area which consists of perpendicular boundaries of N pair to the shaft of N individual which intersects perpendicularly mutually in a zero. And the coordinate of the top-most vertices which said boundaries which accomplish a pair differ mutually through said zero, and constitute said indicator-chart-ed form about said same shaft, The 1st signal which performs subtraction and addition with the absolute value of the coordinate of the boundary of said viewing area corresponding to a functional signal taking the 1st and 2nd values, respectively, and is activated when the result is below zero, The operation part which outputs the 2nd signal which is activated in more than zero, and two or more 1st sort registers which store said 1st signal for said every shaft when said functional signal takes said 1st value,

When said functional signal takes said 2nd value, it has two or more 2nd sort registers which store said 2nd signal for said every shaft.

[0013] It is the clip processor according to claim 1 which starts claim 2 among this invention, and said operation part is prepared corresponding to each of said shaft, and searches for said the 1st signal and said 2nd signal about said all shafts over said same top-most vertices in parallel.

[0014] It is the clip processor according to claim 2 which starts claim 3 among this invention, and it is further equipped with the gate which takes the AND about the contents which said two or more 1st sort registers of all and said two or more 2nd sort registers of all store.

[0015] It is the clip processor according to claim 1 which starts claim 4 among this invention, and it is further equipped with the 1st gate which takes the AND about the contents which said two or more 1st sort registers of all and said two or more 2nd sort registers of all store.

[0016] It is the clip processor according to claim 4 which starts claim 5 among this invention, and it is further equipped with the 2nd gate which outputs the AND (larger integer smaller than $N+1$ than $M:1$) of the contents which the latch of N individual who does a sequential shift and stores the output of said gate, and

said M latches store.

[0017] With the latch of N individual who it is the clip processor according to claim 1 which starts claim 6 among this invention, and does a sequential shift and stores the contents which said two or more 1st sort registers of all and said two or more 2nd sort registers of all store The contents which said latch stores are arranged for every said 1st sort register and register of the 2nd sort. Having further the 2-N piece crossover checking circuit inputted as an input data group, each of said crossover checking circuit outputs the exclusive OR about the data which constitute said input data group about self.

[0018] The 1st gate which takes two exclusive ORs of said data with which it is the clip processor according to claim 6 which starts claim 7 among this invention, said N is 3, and each of said crossover checking circuit constitutes said input data group, The 2nd gate which takes three ANDs of said data which constitute said input data group, The 3rd gate which takes three ORs of said data which constitute said input data group, It has the 4th gate which takes the exclusive OR of the output of said 2nd gate, and the output of said 3rd gate, and the selector which outputs alternatively the output of said 1st gate, and the output of said 4th gate.

[0019] It is the clip processor according to claim 1 which starts claim 8 among this invention. The contents which said N is 3 and said 1st 1st sort register stores, the contents which said 2nd 1st sort register stores, The 1st gate which takes the AND of the contents which said 1st 2nd sort register stores, and the contents which said 2nd 2nd sort register stores, The 2nd gate which takes the AND of the contents which the output of said 1st gate and said 3rd 1st sort register store, and the contents which said 3rd 2nd sort register stores, It has further the judgment signal generation section which has the selector which outputs alternatively said output of said 1st gate, and the output of said 2nd gate.

[0020]

[Embodiment of the Invention]

The gestalt 1 of operation: Drawing 1 is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 1 of operation of this invention. a computing element ("ALU" is called below) 10 -- addition/subtraction function -- having -- **** -- as one input D1 -- a primitive -- the coordinate of top-most vertices or the top-most vertices which constitutes a primitive -- moreover, the absolute value w of the coordinate of the flat surface which constitutes view volume as an input D2 of another side is given. The

functional signal F is given to ALU10, it responds to the value being "1" and "0", and the value of an input D2 is added or subtracted to an input D1, respectively.

[0021] In this invention, view volume is perpendicular to a x axis, the y-axis, and the z-axis respectively, and consists of a yz flat surface which accomplishes a pair, a zx flat surface, and a xy flat surface. For example, the z-coordinate of Q0, -Q1, and xy flat surface of a pair is expressed [the x-coordinate of yz flat surface of a pair] for the y-coordinate of P0, -P1, and zx flat surface of a pair as R0 and -R1 (each of P0, P1, Q0, Q1, R0, and R1 is forward). If the coordinate of top-most vertices V0 is set to (x0, y0, z0), six clip code V0c about top-most vertices V0 will be called for as $**x0-P0$, $**x0+P1$, $**y0-Q0$, $**y0+Q1$, $**z0-R0$, and $**z0+R1$. That is, in each of operation $** - **$, an absolute value w takes P0, P1, Q0, Q1, R0, and R1. Moreover, when the functional signal F takes "0", and operation $**$, $**$, and $**$ take "1", operation $**$, $**$, and $**$ are performed, respectively.

[0022] From ALU10, it is not the addition result itself or the subtraction result itself, and the zero flag Zf and the negative flag Nf which show, respectively whether a result is zero or it is negative are outputted. The flag of these pairs is given to the flag check section 22 with which the clip code generation judging

section 20 is equipped.

[0023] Drawing 2 is the circuit diagram showing the configuration of the flag check section 22. The OR of the zero flag Zf and the negative flag Nf is acquired as an output S, and the OR of logic reversal of the negative flag Nf and the zero flag Zf is acquired as an output L, respectively. An output S takes "0", when the result of operation ** - ** is zero or negative and it is forward about "1." Moreover, an output L takes "0", when the result of operation ** - ** is zero or forward and it is negative about "1." Outputs S and L are given to the register group 23.

[0024] The register group 23 has six registers 231-236, an output S inputs into a register 231,233,235 and the output L has inputted it into the register 232,234,236, respectively. It is determined by the 6-bit write-in enabling signal WE0 <5:0> whether these inputs are written in to registers 231-236. More specifically, write-in enabling-signal WE0<0>- <5> permits write-in actuation to registers 231-236, respectively.

[0025] The write-in enabling signal WE0 <5:0> is generated in control-section 21a based on the functional signal F and axial 2-bit signal A <1:0>. Axial signal A <1:0> means a x axis, the y-axis, and the z-axis here, respectively, when the value is "01", "10", and "11." That is, operation ** and ** support to A<1:0>= "10",

and operation ** and ** support [above-mentioned operation ** and **] $A_{<1:0>}$ = "01" at $A_{<1:0>} =$ "11", respectively.

[0026] Drawing 3 is the circuit diagram showing the configuration of control-section 21a. In the gestalt of this operation, control-section 21a has only the write-in authorization decoder 211, and the write-in enabling signal $WE0_{<5:0>}$ is generated by the following logic. As logic reversal of the functional signal F, and an AND with axial signal A (<logic reversal and the axial signal $A_{<0>}$ of 1>), namely, the write-in enabling signal $WE0_{<0>}$ As an AND of the functional signal F and axial signal A (<logic reversal and the axial signal $A_{<0>}$ of 1>), the write-in enabling signal $WE0_{<1>}$ As an AND of logic reversal of the functional signal F, and logic reversal of axial signal A <1> and the axial signal $A_{<0>}$, the write-in enabling signal $WE0_{<2>}$ As an AND with logic reversal of the functional signal F and axial signal A <1> and the axial signal $A_{<0>}$, the write-in enabling signal $WE0_{<3>}$ The write-in enabling signal $WE0_{<4>}$ is generated as logic reversal of the functional signal F, and an AND with axial signal A <1> and the axial signal $A_{<0>}$, and the write-in enabling signal $WE0_{<5>}$ is generated, respectively as an AND of the functional signal F and axial signal A <1> and the axial signal $A_{<0>}$.

[0027] Thus, since the writing to the registers 231-236 of the outputs S and L of the flag check section 22 is permitted based on the acquired write-in enabling signal WE0 <5:0>, the result of operation **, **, and ** is stored in a register 231,233,235 as "0" at "1" and the time of forward at the time of negative or zero, respectively. Similarly, the result of operation **, **, and ** is stored in a register 232,234,236 as "0" at "1" and the time of negative at the time of forward or zero, respectively.

[0028] If it considers it to be the storing conditions of the above-mentioned register that top-most vertices V0 are $-P1 \leq x0 \leq P0$, $-Q1 \leq y0 \leq Q0$, and $-R1 \leq z0 \leq R0$ as range settled in view volume and it is combined, the case where all the values written in registers 231-236 are "1" shows that top-most vertices V0 are settled in view volume. If it puts in another way, whether top-most vertices V0 are settled in view volume should just judge whether all the values written in registers 231-236 are "1." The clip code generation judging section 20 is equipped with 6 input AND gate 24 for this demand, the AND of the contents of the registers 231-236 is taken, and it is outputting as a judgment signal M1. Since top-most vertices V0 are not settled in view volume when the judgment signal M1 is "0", the 2nd and 3rd steps of clip processing are performed.

[0029] Thus, in the gestalt of this operation, two or more registers 231-236 can be formed, the judgment signal M1 which shows the 1st decision of a step of clip processing since the information based on the flag of a pair to these was distributed and stored based on the functional signal and the axial signal can be acquired by hardware, and it is quick ***** of processing.

[0030] The gestalt 2 of operation: Since only one ALU10 was formed with the gestalt 1 of operation, it had to give as an input D1 one by one about each of x of one top-most vertices, y, and a z-coordinate. However, if three ALUs are prepared, the operation about three coordinates about one top-most vertices can be performed at once, and it is quick ***** of processing.

[0031] Drawing 4 is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 2 of operation of this invention. With the gestalt of this operation, ALU10 in the gestalt 1 of operation is permuted by ALUs 10a, 10b, and 10c, and the flag check section 22 is permuted by the flag check sections 22a, 22b, and 22c. Corresponding to the permutation of such an element, control-section 21a is also permuted by control-section 21c.

[0032] The absolute value w of the coordinate of yz flat surface where the x-coordinate of top-most vertices constitutes view volume as input D2x of

another side again is given to ALU10a as input D1x. the same -- carrying out -- ALU10b -- as input D1y -- the y-coordinate of top-most vertices -- moreover, the absolute value w of the coordinate of zx flat surface which constitutes view volume as input D2y of another side gives -- having -- ALU10c -- as input D1z -- the z-coordinate of top-most vertices -- moreover, the absolute value w of the coordinate of xy flat surface which constitutes view volume as input D2z of another side is given. If the same example as the gestalt 1 of operation is adopted, an absolute value w will take [in / in P0 or P1 / ALU10c] R0 or R1 for Q0 or Q1 in ALU10b in ALU10a.

[0033] The functional signal F is given to any of ALUs 10a, 10b, and 10c as well as ALU10, and addition or subtraction is performed to. That is, when operation **, **, and ** are performed [in / respectively / ALUs 10a, 10b, and 10c] in parallel when the functional signal F is "0", and the functional signal F is "1", operation **, **, and ** are performed in parallel in ALUs 10a, 10b, and 10c, respectively. Consequently, from ALUs 10a, 10b, and 10c, the zero flag Zf and the negative flag Nf about x, y, and a z-coordinate are outputted, respectively.

[0034] The flag check sections 22a, 22b, and 22c are formed corresponding to ALUs 10a, 10b, and 10c, respectively, and perform the same actuation as the

flag check section 22 based on the zero flag Zf and the negative flag Nf about each of x, y, and a z-coordinate.

[0035] On the other hand, different control from the case of the gestalt 1 of operation is needed for storing the output of the flag check sections 22a, 22b, and 22c in the register group 23. Since the outputs S and L about three coordinates are obtained in parallel and operation **, **, ** and operation **, **, and ** are performed in parallel by the functional signal F, respectively, a register 231,233,235 and a register 232,234,236 should just perform write-in actuation to the respectively same timing. Therefore, it is sufficient if there are 2 bits as a write-in enabling signal. With the gestalt of this operation, it has obtained from control-section 21c, having used this as WE1 <1:0>.

[0036] It is desirable to use the renewal signal NV of top-most vertices which becomes active as data which should be based on this control-section 21c generating the write-in enabling signal WE1 <1:0> whenever the top-most vertices other than the functional signal F are given one by one. It is because the operation in the same top-most vertices should be performed in parallel.

[0037] Drawing 5 is the circuit diagram showing the configuration of control-section 21c. When the renewal signal NV of top-most vertices is "1", the

reversal signal as a write-in enabling signal WE1 <0> is outputted for the value of the functional signal F as a write-in enabling signal WE1 <1>, respectively.

Therefore, the data stored in registers 231-236 are completely the same as it of the gestalt 1 of operation, and the same as that of that from which the judgment signal M1 was therefore also acquired with the gestalt 1 of operation.

[0038] According to the gestalt of this operation, the quick nature of the processing which is the effectiveness of the gestalt 1 of operation can be further raised by performing parallel processing in hardware as mentioned above. Moreover, the configuration required for control-section 21c in order to acquire the write-in enabling signal WE1 is easy as compared with a configuration required for a control section 21 in order to acquire the write-in enabling signal WE0. That is, control of the register group 23 is simple.

[0039] The gestalt 3 of operation: Since it had judged whether this would be settled in view volume for every top-most vertices with the gestalt 1 of operation, and the gestalt 2 of operation, when primitives are top-most vertices, although, as for the judgment signal M1, itself is equivalent to the judgment of the 1st of a step, as for judgment signal M1 the very thing, in the case of a line or a polygon, a primitive does not correspond at the judgment of the 1st of a step. Therefore,

in the case of a line or a polygon, a primitive searches for the judgment signal M1 about two or three top-most vertices, respectively, and it is necessary to judge whether a primitive is separately settled in view volume from these relation with software etc. With the gestalt of this operation, even if a primitive is the case of a line or a polygon, the configuration which obtains the result equivalent to the 1st judgment of clip processing of a step by hardware is shown.

[0040] Drawing 6 is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 3 of operation of this invention. To it in the gestalt 1 of operation, the configuration of the clip code generation judging section 20 in the gestalt of this operation adds latches 251-253 and the primitive selection section 26, and has the composition of having permuted control-section 21a by control-section 21b corresponding to addition of this element.

[0041] The judgment signal M1 acquired with the gestalt 1 of operation as explained is inputted into latch 251. Latches 251-253 are connected to the serial, and I/O is controlled for all by the shift signal WES. When the shift signal WES becomes active, the data which latches 251-253 hold are shifted to this order.

[0042] Drawing 7 is the circuit diagram showing the configuration of

control-section 21b. The renewal signal NV of top-most vertices which becomes active whenever the top-most vertices which constitute a primitive as a line or a polygon are given to control-section 21b one by one can input, and this can be used as a shift signal WES as it is. That is, sequential storing of the judgment signal M1 about each of different top-most vertices which constitute a primitive is carried out at latches 251-253.

[0043] Control-section 21b has the primitive decoder 212 other than the write-in authorization decoder 211. Like the gestalt 1 of operation, the write-in authorization decoder 211 generates the functional signal F and axial signal A <the write-in enabling signal WE 0< 5:0 from 1:0>>, and controls the register group 23. On the other hand, the primitive decoder 212 generates the selection-control signal SEL of a triplet <2:0> from the 2-bit primitive assignment signal PR <1:0> which specifies the class of primitive. For example, if the primitive assignment signal PR <1:0> takes a value "01", "10", and "11" to primitives being top-most vertices, a line, and a polygon, the selection-control signal SEL <2:0> will take "001", "010", and "100", respectively. Logic reversal of the primitive assignment signal PR <1> and an AND with the primitive assignment signal PR <0> are taken. For example, the selection-control signal

SEL <0> The AND of the primitive assignment signal PR <1> and the primitive assignment signal PR <0> is taken. The selection-control signal SEL <2> An AND with logic reversal of the primitive assignment signal PR <1> and the primitive assignment signal PR <0> is taken, and the selection-control signal SEL <1> is generated, respectively.

[0044] The primitive selection section 26 has selector 26a, and outputs it as a judgment signal M2 alternatively [one] of the three inputs based on the selection-control signal SEL <2:0>. Three inputs are the AND of the contents which latch 251 stores, and the contents which latch 251,252 stores, and the AND of the contents which latches 251-253 store here. That is, since these are judgment signal M1 itself about different top-most vertices, or its AND, when primitives are top-most vertices, a line, and a polygon, respectively, they will show the judgment result of whether to be settled in view volume. And since selector 26a is controlled by the selection-control signal SEL <2:0> which takes a different value to primitives being top-most vertices, a line, and a polygon, the judgment signal M2 will show the result of having judged whether it having been settled in view volume regardless of the class of primitive.

[0045] Of course, a thing controllable [using the 2-bit primitive assignment signal

PR <1:0> as it is as selector 26a] may be used. In that case, the primitive decoder 212 is unnecessary.

[0046] Drawing 8 is the circuit diagram showing deformation of the gestalt of this operation. The 6-bit latch 254 undergoes the output of 6 bits from the register group 23, without forming 6 input AND gate 24. The data stored with the shift signal WES like latches 251-253, respectively carry out the sequential shift of the latches 254-256. As for the latches' 254-256 contents, the 1-bit signal with which an AND is taken and is outputted from these is inputted into the primitive selection section 26 by 6 input AND gates 27a-27c, respectively. Since it differs and the judgment signal M1 is not necessarily needed, the gestalt 1 of operation is possible also for taking the starting configuration.

[0047] Although it was explained as a comparison with the gestalt 1 of operation, since the gestalt of this operation added the element which processes to the output of the register group 23, or its AND slack judging signal M1, of course, it is possible for performing deformation like [gestalt / 2 / of operation] the gestalt of this operation.

[0048] The gestalt 4 of operation: The configuration of drawing 8 shown as deformation in the gestalt 3 of operation draws new effectiveness by adding an

element in the gestalt of this operation and deforming further. Drawing 9 is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 4 of operation of this invention. It has the crossover side check section 28 further to the configuration shown in drawing 8 . The crossover side check section 28 inputs latch's 254,255,256 output, and outputs the crossover side data XP <5:0> in which the field which intersects a primitive is shown.

[0049] Drawing 10 is the circuit diagram showing the configuration of the crossover side check section 28. The crossover side check section 28 is equipped with the crossover checking circuits 281-286 which have the same configuration mutually. The data (that is, it is equivalent to operation ** - **) corresponding to registers 231-236 are collectively given to the crossover checking circuits 281-286 about three top-most vertices, respectively. Notation V_{i-j} ($i= 0, 1, 2; j= 0, 1, 2, 3, 4, 5, 6$) in drawing 10 shows the result of the operation (j) about top-most vertices V_i . For example, the result of operation ** about top-most vertices V_2 is shown in V_2-3 . "The result of an operation" here means the data obtained as what is given to the register group 23.

[0050] The result of three sorts of logical operation which the crossover checking

circuit 281 inputs the result of operation ** about top-most vertices V0, V1, and V2, and is mentioned later is inputted into selector 281a. Selector 281a outputs either as a result of three sorts of such logical operation based on the selection-control signal SEL of a triplet <2:0>.

[0051] When primitives are top-most vertices, as explained by the gestalt 3 of operation, the selection-control signal SEL <2:0> takes "001." And selector 281a outputs the 1st logical operation result which takes "0" as crossover side data XP <0> irrespective of the value of data V0-1, V1-1, and V2-1. It is because it does not say that this intersects a field when primitives are top-most vertices.

[0052] If the location of two top-most vertices used as the both ends of this is mutually located in the opposite side on both sides of one of the flat surfaces which constitute view volume when a primitive is a line, a primitive slack line will cross the flat surface concerned. That is, if the clip codes of two top-most vertices differ mutually, if the flat surface concerned turns into a crossover side, it can be judged. Therefore, the 2nd logical operation result is searched for as an exclusive OR of data V0-1 and V1-1, and selector 281a outputs this as crossover side data XP <0>, when the selection-control signal SEL <2:0> is "010."

[0053] If either of other two top-most vertices exists in the opposite side mutually across a flat surface to a certain one top-most vertices when a primitive is a triangle, this flat surface will turn into a crossover side. If it puts in another way, at least one of three top-most vertices will be [a clip code] "1", and if at least one clip code of other two top-most vertices is "0", a flat surface will turn into a crossover side. Therefore, what is necessary is to search for both an AND and an OR about data V0-1, V1-1, and V1-2, and just to search for the 3rd logical operation result as an exclusive OR of these two results. And selector 281a outputs this as crossover side data XP <0>, when the selection-control signal SEL <2:0> is "100."

[0054] since it is constituted as mentioned above and operates, the values of the crossover side data XP <0> are [whether the primitive from which top-most vertices V0 V1, and V2 constitute the crossover checking circuit 281 intersects yz flat surface ($x=P0$), and] "1" and "0", respectively -- with, it can judge. Other crossover checking circuits 282-286 can judge similarly whether a primitive intersects yz flat surface ($x=-P1$), zx flat surface ($y=Q0$, $y=-Q1$), and xy flat surface ($z=R0$, $z=-R1$), respectively. Therefore, the crossover side data XP <5:0> can judge in parallel whether six flat surfaces which constitute view

volume are crossover sides over the given primitive.

[0055] As mentioned above, with the gestalt of this operation, since parallel processing of the detection of a crossover side is carried out by hardware, a crossover side can be searched for quickly.

[0056] The gestalt 5 of operation: With the gestalt 1 of operation thru/or the gestalt 4 of operation, although the clip processing to the primitive about the view volume in a 3D-Graphics display has been explained, of course also in the clip processing to the primitive about the window in a 2D-Graphics display, it is applicable. For example, since it is not necessary to perform clip processing about xy flat surface when you consider the window which does not have breadth in the direction of the z-axis, a register 235,236 and ALU10c are unnecessary.

[0057] However, it is desirable to use the output of a register 235,236 or ALU10c alternatively based on any shall be adopted between view volume and a window in graphics by the ability omitting neither a register 235,236 nor ALU10c to perform clip processing to a primitive about both the view volume in a 3D-Graphics display, and the window in a 2D-Graphics display. The gestalt of this operation explains this mode.

[0058] Drawing 11 is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 5 of operation of this invention. It has the configuration which permuted 6 input AND gate 24 of the clip judging equipment concerning the gestalt 1 of operation shown in drawing 1 by the judgment signal generation section 29, and permuted control-section 21a by 21d of control sections, respectively.

[0059] The output from the register group 23 and the 2-bit selection signal DS from 21d of control sections <1:0> are given to the judgment signal generation section 29, and the judgment signal M3 is generated. The judgment signal generation section 29 has 4 input AND gate 291, 3 input AND gate 292, and a selector 293. A selector 293 outputs the output of the AND gate 291,292 corresponding to a selection signal DS <1:0> taking "01" and "10", respectively.

[0060] 4 input AND gate 291 outputs the AND of the data with which, as for 3 input AND gate 292, the output of 4 input AND gate 291 and a register 235,236 store the AND of the data which registers 231-234 store, i.e., the AND of the data which registers 231-236 store, respectively. That is, 4 input AND gate 291 will show whether a certain top-most vertices are settled in a window, and 3 input AND gate 292 will show whether top-most vertices are settled in view volume. If

it puts in another way, the output of 3 input AND gate 292 will be the judgment signal M1 shown with the gestalt 1 of operation.

[0061] Drawing 12 is the circuit diagram showing the configuration of 21d of control sections. 21d of control sections is equipped with the write-in authorization decoder 211 and inverter which were explained in the gestalt 1 of operation. Actuation of the write-in authorization decoder 211 is explained to the gestalt 1 of operation, is the same as that of **, and gives the 6-bit write-in enabling signal WE0 <5:0> to the register group 23. On the other hand, the dimension selection signal DIS is inputted into 21d of control sections, this is adopted as it is, without being reversed with the above-mentioned inverter and reversing a selection signal DS <1>, and a selection signal DS <0> is generated, respectively. Therefore, if it sets up based on any shall be adopted between view volume and a window in graphics so that the dimension selection signal DIS may take "0" and "1", respectively, a selection signal DS <1:0> will take "10" and "01", respectively, and a selector 293 will output the AND of four clip codes, and the AND of six clip codes as a judgment signal M3, respectively.

[0062] According to the gestalt of this operation, the judgment signal corresponding to any shall be adopted [in / as mentioned above / graphics]

between view volume and a window can be acquired. Of course, if it has the function which a selector 293 corresponds binary [the signal which is 1 bit], and outputs the output of the gate 291,292 alternatively, since the dimension selection signal DIS can be used for control of a selector 293 as it is, 21d of control sections may permute by control-section 21a.

[0063]

[Effect of the Invention] To two or more registers, too, based on a functional signal, the 1st and 2nd signals which show the physical relationship of the coordinate of top-most vertices and the coordinate of the boundary of a field which are searched for by the operation based on a functional signal distribute, and, according to the clip processor applied to claim 1 among this invention, are stored. Therefore, a clip code can be quickly obtained from the data stored in two or more registers by control based on a functional signal.

[0064] According to the clip processor applied to claim 2 among this invention, there is no need of calculating for every coordinate, and control of the 1st sort register and the 2nd sort register becomes simple.

[0065] According to the clip processor concerning the clip processor and claim 4 which start claim 3 among this invention, whether a clip code is in the inside of

whether it has the same value and a viewing area can judge quickly by hardware.

[0066] Since it asks in parallel in N individual of the top-most vertices which constitute an indicator-chart-ed form according to the clip processor applied to claim 5 among this invention, it can ask for whether an indicator-chart-ed form is in a viewing area easily.

[0067] According to the clip processor applied to claim 6 among this invention, a crossover checking circuit will be prepared corresponding to the boundary of a viewing area. It is acquired by the exclusive OR on which boundary two or more top-most vertices which constitute an indicator-chart-ed form exist in the opposite side mutually. Therefore, the boundary where an indicator-chart-ed form and a viewing area cross can be searched for quickly.

[0068] According to the clip processor applied to claim 7 among this invention, it can know which boundary of a viewing area is intersected from the 1st gate, respectively about the case where an indicator-chart-ed [from the 4th gate] form is a triangle about the case where an indicator-chart-ed form is a line.

[0069] According to the clip processor applied to claim 8 among this invention, when a viewing area is two-dimensional, in the case of a three dimension, it can judge whether an indicator-chart-ed form is settled in a viewing area.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 1 of operation of this invention.

[Drawing 2] It is the circuit diagram showing the configuration of the flag check section 22.

[Drawing 3] It is the circuit diagram showing the configuration of control-section 21a.

[Drawing 4] It is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 2 of operation of this invention.

[Drawing 5] It is the circuit diagram showing the configuration of control-section 21c.

[Drawing 6] It is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 3 of operation of this invention.

[Drawing 7] It is the circuit diagram showing the configuration of control-section 21b.

[Drawing 8] It is the circuit diagram showing deformation of the gestalt 3 of operation of this invention.

[Drawing 9] It is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 4 of operation of this invention.

[Drawing 10] It is the circuit diagram showing the configuration of the crossover side check section 28.

[Drawing 11] It is the circuit diagram showing the configuration of the clip judging equipment concerning the gestalt 5 of operation of this invention.

[Drawing 12] It is the circuit diagram showing the configuration of 21d of control sections.

[Drawing 13] It is the conceptual diagram showing clip processing.

[Drawing 14] It is the conceptual diagram showing clip processing.

[Drawing 15] It is the conceptual diagram showing clip processing.

[Drawing 16] It is the conceptual diagram showing clip processing.

[Description of Notations]

V0-V2 Top-most vertices, x0, y0, z0, P0, P1, Q0, Q1 and R0, R1 coordinate, S, L

An output, 10, 10a, 10b, 10c ALU, 22, 22a, 22b, 22c Flag check section,

231-236 A register, 24 6 input AND gate, 251-256 Latch, 281-286 Crossover

checking circuit, XP Crossover side data, 281a, 293 A selector, 29 The judgment

signal generation section, 291 4 input AND gate, 293 4 input AND gate.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-293853

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.⁶

識別記号

F I

G 0 6 T 11/00

G 0 6 F 15/72

3 8 0

G 0 9 G 5/36

5 2 0

G 0 9 G 5/36

5 2 0 P

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号

特願平9-103061

(22) 出願日

平成9年(1997)4月21日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 井上 喜嗣

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 小原 淳子

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 河合 浩行

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74) 代理人 弁理士 吉田 茂明 (外2名)

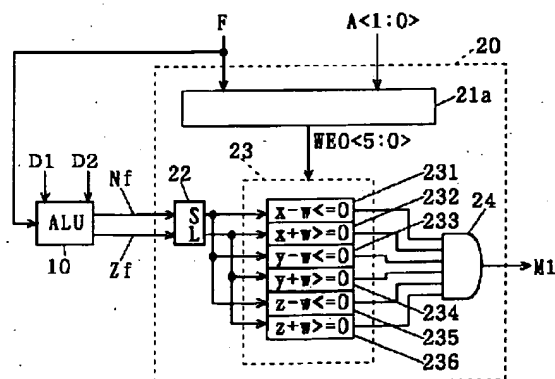
最終頁に続く

(54) 【発明の名称】 クリップ処理装置

(57) 【要約】

【課題】 クリップ処理における第1のステップ、即ちプリミティブがビューボリューム内に収まるか否かの判定をハードウェアにより実現し、以てその生成を高速化する。

【解決手段】 レジスタ231～236に書き込まれた全ての値が“1”である場合、頂点がビューボリューム内に収まっていることを示している。換言すれば、頂点がビューボリューム内に収まっているか否かは、レジスタ231～236に書き込まれた値が全て“1”であるか否かを判断すればよい。かかる要求のために6入力ANDゲート24がクリップコード生成判定部20に備えられ、レジスタ231～236の内容の論理積を採って判定信号M1として出力している。



【特許請求の範囲】

【請求項1】 原点において互いに直交するN個の軸に対して垂直なN対の境界で構成される表示領域において、被表示図形を表示する際のクリップ処理を行うクリップ処理装置であって、

対を成す前記境界は前記原点を介して互いに異なり、同一の前記軸に関する、前記被表示図形を構成する頂点の座標と、前記表示領域の境界の座標の絶対値との減算及び加算を、機能信号が第1及び第2の値を採ることに対応してそれぞれ実行し、その結果が零以下の場合に活性化する第1の信号と、零以上の場合に活性化する第2の信号とを出力する演算部と、

前記機能信号が前記第1の値を採った場合に、前記第1の信号を前記軸毎に格納する複数の第1種レジスタと、前記機能信号が前記第2の値を採った場合に、前記第2の信号を前記軸毎に格納する複数の第2種レジスタとを備えるクリップ処理装置。

【請求項2】 前記演算部は、前記軸のそれぞれに対応して設けられ、同一の前記頂点に対する全ての前記軸についての前記第1の信号及び前記第2の信号を並行して求める、請求項1記載のクリップ処理装置。

【請求項3】 前記複数の第1種レジスタの全て及び前記複数の第2種レジスタの全てが格納する内容についての論理積をとるゲートを更に備える、請求項2記載のクリップ処理装置。

【請求項4】 前記複数の第1種レジスタの全て及び前記複数の第2種レジスタの全てが格納する内容についての論理積をとる第1のゲートを更に備える、請求項1記載のクリップ処理装置。

【請求項5】 前記ゲートの出力を順次シフトして格納するN個のラッチと、M個の前記ラッチの格納する内容の論理積(M:1より大きくN+1よりも小さい整数)を出力する第2のゲートを更に備える、請求項4記載のクリップ処理装置。

【請求項6】 前記複数の第1種レジスタの全て及び前記複数の第2種レジスタの全てが格納する内容を順次シフトして格納するN個のラッチと、

前記ラッチの格納する内容を前記第1種レジスタ及び第2種のレジスタ毎に揃え、入力データ群として入力する2N個の交差チェック回路とを更に備え、

前記交差チェック回路の各々は、自身についての前記入力データ群を構成するデータについての排他的論理和を出力する、請求項1記載のクリップ処理装置。

【請求項7】 前記Nは3であり、前記交差チェック回路の各々は前記入力データ群を構成する前記データの2つの排他的論理和を採る第1のゲートと、前記入力データ群を構成する前記データの3つの論理積を採る第2のゲートと、

前記入力データ群を構成する前記データの3つの論理和

を採る第3のゲートと、

前記第2のゲートの出力と、前記第3のゲートの出力の排他的論理和を採る第4のゲートと、

前記第1のゲートの出力及び前記第4のゲートの出力を選択的に出力するセレクタとを有する、請求項6記載のクリップ処理装置。

【請求項8】 前記Nは3であり、

第1の前記第1種レジスタが格納する内容、第2の前記第1種レジスタが格納する内容、第1の前記第2種レジスタが格納する内容、及び第2の前記第2種レジスタが格納する内容の論理積を採る第1のゲートと、

前記第1のゲートの出力、第3の前記第1種レジスタが格納する内容、及び第3の前記第2種レジスタが格納する内容の論理積を採る第2のゲートと、

前記第1のゲートの前記出力と、前記第2のゲートの出力とを選択的に出力するセレクタとを有する判定信号生成部を更に備える、請求項1記載のクリップ処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、グラフィックス処理装置において表示される物体を構成する基本形状(以下「プリミティブ」と称す)のクリップ処理に関するものである。

【0002】

【従来の技術】グラフィックス処理装置において、ディスプレイに表示する際にはクリップ処理が行われる。クリップ処理は、例えば2次元グラフィックス表示においては表示されるウィンドウの4辺に対して、表示すべき物体のプリミティブのうち、そのウィンドウ内に存在するもののみを表示する処理である。また例えば3次元グラフィックス表示においては、ウィンドウと、視点からの距離に応じた平面とで構成される直方体あるいは台形角錐体のビューボリュームに対して、その内部に存在するプリミティブのみが表示される。

【0003】図13は3次元グラフィックス表示におけるクリップ処理の概念を示しており、頂点V0、V1、V2を有する3角形が表示されている。この図形においてプリミティブは頂点V0、V1、V2である場合もあり、線V0V1、V1V2、V2V0である場合もあり、多角形V1V2V0である場合もある。これらの場合を以下ではそれぞれプリミティブが頂点、線、多角形であると称する。また、図14はクリップ処理が終了した後にウィンドウに表示される図形を表示した様子を示している。

【0004】クリップ処理は、プリミティブがウィンドウまたはビューボリューム内に収まるか否かを判定する第1のステップと、第1のステップの結果が「否」である場合に当該プリミティブとウィンドウあるいはビューボリュームを構成する平面との交差箇所を検出する第2のステップと、当該プリミティブのうちウィンドウやビ

ユーボリウムよりも外部にある部分を除去する第3のステップに大別される。

【0005】図15及び図16を用いて、ビューボリウムが直方体である場合の第1のステップを説明する。ここでビューボリウムは、 $x=-1$, $x=1$, $y=-1$, $y=1$, $z=-1$, $z=1$ の6つの平面で構成されている場合が示されている。

【0006】まずプリミティブが頂点である場合には、各頂点の座標と、これら6つの平面を示す値とが比較される。そしてクリップコードは、それぞれの平面に関して頂点がビューボリウム側にあるのか反対側にあるのかを、例えばそれぞれ“1”、“0”で表現するクリップコードを得る。平面は6つあるので、着目する頂点がビューボリウム内に収まるか否かは6ビットのクリップコードによって判定される。従って、クリップコードの6ビットの全てが“1”を採れば、当該頂点はビューボリウム内に収まると判断される。図13～図16に即してみれば、各頂点と6つの平面とに関するクリップコードは表1に示す通りであって、頂点V0のみがビューボリウム内に収まり、他の頂点V1、V2はビューボリウムの外部にあることが示されている。

【0007】

【表1】

	$x=1$	$x=-1$	$y=1$	$y=-1$	$z=1$	$z=-1$
V0	1	1	1	1	1	1
V1	1	1	0	1	1	1
V2	0	1	1	1	1	1

【0008】プリミティブが線である場合には、線の両端（始点と終点）との各々について6ビットのクリップコードが生成され、一つの線について12ビットのクリップコードの全てが“1”の場合にのみ、当該線はビューボリウム内に収まると判定される。12ビットのクリップコードのうち一つでも“0”が存在するような線に対しては、クリップコードを参照しつつビューボリウムと当該線との交点を探索する第2のステップが遂行される。

【0009】プリミティブが多角形である場合には、これが三角形に分割されて処理される（以下、多角形のプリミティブは三角形であるとする）。そしてこの三角形を構成する3個の頂点の全てに関する合計18ビットのクリップコードが全て“1”の場合にのみ、当該多角形はビューボリウム内に収まると判定される。18ビットのクリップコードのうち一つでも“0”が存在するような線に対しては、クリップコードを参照しつつビューボリウムと当該線との交線を探索する第2のステップが遂行される。

【0010】

【発明が解決しようとする課題】従来は上記のクリップ

コードの生成の為の処理、つまり頂点とビューボリウムを構成する平面との位置の比較、この比較の結果に基づいたクリップコードの生成、をソフトウェアによって実行していたので、長大な時間を要するという問題点があった。

【0011】本発明は上記問題点を解決する為になされたもので、クリップ処理における第1のステップ、即ちプリミティブがビューボリウム内に収まるか否かの判定をハードウェアにより実現し、以てその生成を高速化する技術を提供することを目的としている。更に、ビューボリウムを構成する面のどれとプリミティブとが交差するか否かを迅速に検出する技術を提供することも目的としている。

【0012】

【課題を解決するための手段】この発明のうち請求項1にかかるものは、原点において互いに直交するN個の軸に対して垂直なN対の境界で構成される表示領域において、被表示図形を表示する際のクリップ処理を行うクリップ処理装置である。そして、対を成す前記境界は前記原点を介して互いに異なり、同一の前記軸に関する、前記被表示図形を構成する頂点の座標と、前記表示領域の境界の座標の絶対値との減算及び加算を、機能信号が第1及び第2の値を採ることに対応してそれぞれ実行し、その結果が零以下の場合に活性化する第1の信号と、零以上の場合に活性化する第2の信号とを出力する演算部と、前記機能信号が前記第1の値を採った場合に、前記第1の信号を前記軸毎に格納する複数の第1種レジスタと、前記機能信号が前記第2の値を採った場合に、前記第2の信号を前記軸毎に格納する複数の第2種レジスタとを備える。

【0013】この発明のうち請求項2にかかるものは、請求項1記載のクリップ処理装置であって、前記演算部は、前記軸のそれぞれに対応して設けられ、同一の前記頂点に対する全ての前記軸についての前記第1の信号及び前記第2の信号を並行して求める。

【0014】この発明のうち請求項3にかかるものは、請求項2記載のクリップ処理装置であって、前記複数の第1種レジスタの全て及び前記複数の第2種レジスタの全てが格納する内容についての論理積をとるゲートを更に備える。

【0015】この発明のうち請求項4にかかるものは、請求項1記載のクリップ処理装置であって、前記複数の第1種レジスタの全て及び前記複数の第2種レジスタの全てが格納する内容についての論理積をとる第1のゲートを更に備える。

【0016】この発明のうち請求項5にかかるものは、請求項4記載のクリップ処理装置であって、前記ゲートの出力を順次シフトして格納するN個のラッチと、M個の前記ラッチの格納する内容の論理積（M：1より大きくN+1よりも小さい整数）を出力する第2のゲートを

更に備える。

【0017】この発明のうち請求項6にかかるものは、請求項1記載のクリップ処理装置であって、前記複数の第1種レジスタの全て及び前記複数の第2種レジスタの全てが格納する内容を順次シフトして格納するN個のラッチと、前記ラッチの格納する内容を前記第1種レジスタ及び第2種のレジスタ毎に揃え、入力データ群として入力する2N個の交差チェック回路とを更に備え、前記交差チェック回路の各々は、自身についての前記入力データ群を構成するデータについての排他的論理和を出力する。

【0018】この発明のうち請求項7にかかるものは、請求項6記載のクリップ処理装置であって、前記Nは3であり、前記交差チェック回路の各々は前記入力データ群を構成する前記データの2つの排他的論理和を採る第1のゲートと、前記入力データ群を構成する前記データの3つの論理積を採る第2のゲートと、前記入力データ群を構成する前記データの3つの論理和を採る第3のゲートと、前記第2のゲートの出力と、前記第3のゲートの出力の排他的論理和を採る第4のゲートと、前記第1のゲートの出力及び前記第4のゲートの出力を選択的に出力するセレクトとを有する。

【0019】この発明のうち請求項8にかかるものは、請求項1記載のクリップ処理装置であって、前記Nは3であり、第1の前記第1種レジスタが格納する内容、第2の前記第1種レジスタが格納する内容、第1の前記第2種レジスタが格納する内容、及び第2の前記第2種レジスタが格納する内容の論理積を採る第1のゲートと、前記第1のゲートの出力、第3の前記第1種レジスタが格納する内容、及び第3の前記第2種レジスタが格納する内容の論理積を採る第2のゲートと、前記第1のゲートの前記出力と、前記第2のゲートの出力とを選択的に出力するセレクトとを有する判定信号生成部を更に備える。

【0020】

【発明の実施の形態】

実施の形態1：図1は本発明の実施の形態1にかかるクリップ判定装置の構成を示す回路図である。演算器（以下「ALU」と称す）10は加算／減算機能を有しており、一方の入力D1としてはプリミティブたる頂点、あるいはプリミティブを構成する頂点の座標が、また他方の入力D2としてはビューボリュームを構成する平面の座標の絶対値wが与えられる。ALU10には機能信号Fも与えられ、その値が“1”、“0”であることに対応して、それぞれ入力D1に対して入力D2の値が加算あるいは減算される。

【0021】本発明においては、ビューボリュームはx軸、y軸、z軸にそれぞれ垂直で対を成すyz平面、zx平面、xy平面で構成されている。例えば、一对のyz平面のx座標がP0、-P1、一对のzx平面のy座

(4)

特開平10-293853

6

標がQ0、-Q1、一对のxy平面のz座標がR0、-R1（P0、P1、Q0、Q1、R0、R1はいずれも正）と表現される。頂点V0の座標を（x0、y0、z0）とすると、頂点V0についての6つのクリップコードV0cは①x0-P0、②x0+P1、③y0-Q0、④y0+Q1、⑤z0-R0、⑥z0+R1として求められる。つまり演算①～⑥のそれぞれにおいて絶対値wはP0、P1、Q0、Q1、R0、R1を採る。また機能信号Fが“0”を採ることによって演算①、③、⑤が、“1”を採ることによって演算②、④、⑥が、それぞれ実行される。

【0022】ALU10からは、加算結果そのもの、あるいは減算結果そのものではなく、結果が零であるか、負であるかをそれぞれ示す零フラグZf及び負フラグNfが出力される。これら一对のフラグはクリップコード生成判定部20の備えるフラグチェック部22に与えられる。

【0023】図2はフラグチェック部22の構成を示す回路図である。零フラグZfと負フラグNfの論理和が出力Sとして、負フラグNfの論理反転と零フラグZfとの論理和が出力Lとして、それぞれ得られる。出力Sは演算①～⑥の結果が零又は負である場合に“1”を、正である場合に“0”を採る。また出力Lは演算①～⑥の結果が零又は正である場合に“1”を、負である場合に“0”を採る。出力S、Lはレジスタ群23に与えられる。

【0024】レジスタ群23は6個のレジスタ231～236を有しており、レジスタ231、233、235には出力Sが、レジスタ232、234、236には出力Lが、それぞれ入力している。これらの入力をレジスタ231～236に対して書き込むか否かは、6ビットの書き込み許可信号WE0<5:0>によって決定される。より具体的には、書き込み許可信号WE0<0>～<5>はそれぞれレジスタ231～236に対して書き込み動作を許可する。

【0025】書き込み許可信号WE0<5:0>は、機能信号F及び2ビットの軸信号A<1:0>に基づいて制御部21aにおいて生成される。ここで軸信号A<1:0>はその値が“01”、“10”、“11”の場合にそれぞれx軸、y軸、z軸を意味している。つまり、上記演算①、②がA<1:0>=“01”に、演算③、④がA<1:0>=“10”に、演算⑤、⑥がA<1:0>=“11”に、それぞれ対応している。

【0026】図3は制御部21aの構成を示す回路図である。本実施の形態においては制御部21aは書き込み許可デコーダ211のみを有しており、以下の論理によって書き込み許可信号WE0<5:0>が生成される。即ち、機能信号Fの論理反転と軸信号A<1>の論理反転と軸信号A<0>との論理積として書き込み許可信号WE0<0>が、機能信号Fと軸信号A<1>の論理反

転と軸信号A<0>との論理積として書き込み許可信号WE0<1>が、機能信号Fの論理反転と軸信号A<1>と軸信号A<0>の論理反転との論理積として書き込み許可信号WE0<2>が、機能信号Fと軸信号A<1>と軸信号A<0>の論理反転との論理積として書き込み許可信号WE0<3>が、機能信号Fの論理反転と軸信号A<1>と軸信号A<0>との論理積として書き込み許可信号WE0<4>が、機能信号Fと軸信号A<1>と軸信号A<0>との論理積として書き込み許可信号WE0<5>が、それぞれ生成される。

【0027】このようにして得られた書き込み許可信号WE0<5:0>に基づいて、フラグチェック部22の出力S、Lの、レジスタ231~236に対する書き込みが許可されるので、レジスタ231、233、235にはそれぞれ演算①、③、⑤の結果が、負又は零のときには“1”、正のときには“0”として格納される。同様にして、レジスタ232、234、236にはそれぞれ演算②、④、⑥の結果が、正又は零のときには“1”、負のときには“0”として格納される。

【0028】頂点V0がビューボリュームに収まる範囲としては $-P1 \leq x \leq P0$ 、 $-Q1 \leq y \leq Q0$ 、 $-R1 \leq z \leq R0$ であることを上記レジスタの格納条件と考え併せると、レジスタ231~236に書き込まれた全ての値が“1”である場合が、頂点V0がビューボリューム内に収まっていることを示している。換言すれば、頂点V0がビューボリューム内に収まっているか否かは、レジスタ231~236に書き込まれた値が全て“1”であるか否かを判断すればよい。かかる要求のために6入力ANDゲート24がクリップコード生成判定部20に備えられ、レジスタ231~236の内容の論理積を採って判定信号M1として出力している。判定信号M1が“0”である場合には、頂点V0がビューボリューム内に収まっていないので、クリップ処理の第2及び第3のステップが実行される。

【0029】このように、本実施の形態においては複数のレジスタ231~236を設け、機能信号及び軸信号に基づいてこれらへと一対のフラグに基づいた情報を振り分けて格納したので、クリップ処理の第1のステップの判断を示す判定信号M1をハードウェアで得ることができ、処理の迅速が図れる。

【0030】実施の形態2：実施の形態1ではALU10が一つだけ設けられていたので、一つの頂点のx、y、z座標のそれぞれについて順次に入力D1として与えなければならなかった。しかしALUを3つ設ければ、一つの頂点についての3つの座標についての演算を一度に行うことができ、処理の迅速が図れる。

【0031】図4は本発明の実施の形態2にかかるクリップ判定装置の構成を示す回路図である。本実施の形態では、実施の形態1におけるALU10がALU10a、10b、10cに置換され、フラグチェック部22

がフラグチェック部22a、22b、22cに置換されている。このような要素の置換に対応して制御部21aも制御部21cに置換されている。

【0032】ALU10aには入力D1xとして頂点のx座標が、また他方の入力D2xとしてはビューボリュームを構成するyz平面の座標の絶対値wが与えられる。同様にして、ALU10bには入力D1yとして頂点のy座標が、また他方の入力D2yとしてはビューボリュームを構成するzx平面の座標の絶対値wが与えられ、ALU10cには入力D1zとして頂点のz座標が、また他方の入力D2zとしてはビューボリュームを構成するxy平面の座標の絶対値wが与えられる。実施の形態1と同じ例を採用すれば、絶対値wはALU10aにおいてP0、P1のいずれかを、ALU10bにおいてQ0、Q1のいずれかを、ALU10cにおいてR0、R1のいずれかを採る。

【0033】ALU10a、10b、10cのいずれにも、ALU10と同様にして機能信号Fが与えられ、加算あるいは減算が行われる。つまり、機能信号Fが“0”の場合には、演算①、③、⑤はそれぞれALU10a、10b、10cにおいて並行して行われ、機能信号Fが“1”の場合には、演算②、④、⑥がそれぞれALU10a、10b、10cにおいて並行して行われる。その結果、ALU10a、10b、10cからは、それぞれx、y、z座標に関する零フラグZf及び負フラグNfが出力される。

【0034】フラグチェック部22a、22b、22cはそれぞれALU10a、10b、10cに対応して設けられており、x、y、z座標のそれぞれに関する零フラグZf及び負フラグNfに基づいてフラグチェック部22と同様の動作を行う。

【0035】一方、レジスタ群23へフラグチェック部22a、22b、22cの出力を格納するには実施の形態1の場合とは異なる制御が必要となる。3つの座標に関する出力S、Lが並行して得られるのであり、機能信号Fによって演算①、②、③及び演算②、④、⑥がそれぞれ並行して行われるのであるから、レジスタ231、233、235及びレジスタ232、234、236はそれぞれ同じタイミングで書き込み動作を行えば良い。従って、書き込み許可信号としては2ビットあれば足りる。本実施の形態ではこれをWE1<1:0>として制御部21cから得ている。

【0036】この制御部21cが書き込み許可信号WE1<1:0>を生成するのに基づくべきデータとしては、機能信号Fの他に、頂点が順次与えられる度にアクティブとなる頂点更新信号NVを用いることが望ましい。同一の頂点における演算が並行して行われるべきであるからである。

【0037】図5は制御部21cの構成を示す回路図である。頂点更新信号NVが“1”である場合においての

10

20

30

40

50

み、機能信号Fの値が書き込み許可信号WE1<0>として、またその反転信号が書き込み許可信号WE1<1>として、それぞれ出力される。従って、レジスタ231~236に格納されるデータは実施の形態1のそれと全く同じであり、よって判定信号M1も実施の形態1で得られたものと同一である。

【0038】以上のように本実施の形態によれば、ハードウェアにおいて並列処理を行うことによって、実施の形態1の効果である処理の迅速性を一層高めることができる。また、書き込み許可信号WE1を得る為に制御部21cに必要な構成は、書き込み許可信号WE0を得る為に制御部21に必要な構成と比較して簡単である。つまりレジスタ群23の制御が簡易である。

【0039】実施の形態3：実施の形態1及び実施の形態2では頂点ごとにこれがビューボリューム内に収まるか否かを判定していたため、プリミティブが頂点である場合には判定信号M1はそれ自身が第1のステップの判定に相当するが、プリミティブが線や多角形の場合には判定信号M1自体は第1のステップの判定に相当しない。従って、プリミティブが線や多角形の場合にはそれぞれ2つあるいは3つの頂点に関しての判定信号M1を求め、別途ソフトウェア等によってこれらの関係からプリミティブがビューボリューム内に収まるか否かを判定することが必要となってくる。本実施の形態ではプリミティブが線や多角形の場合であっても、クリップ処理の第1のステップの判定に相当する結果をハードウェアにて得る構成を示す。

【0040】図6は本発明の実施の形態3にかかるクリップ判定装置の構成を示す回路図である。本実施の形態におけるクリップコード生成判定部20の構成は、実施の形態1におけるそれに対し、ラッチ251~253及びプリミティブ選択部26を追加し、かかる要素の追加に対応して制御部21aを制御部21bに置換した構成となっている。

【0041】実施の形態1で説明したようにして得られる判定信号M1は、ラッチ251に入力される。ラッチ251~253は直列に接続されており、いずれもシフト信号WESによって入出力が制御されている。シフト信号WESがアクティブとなった場合にラッチ251~253の保持するデータはこの順にシフトする。

【0042】図7は制御部21bの構成を示す回路図である。制御部21bには線もしくは多角形としてプリミティブを構成する頂点が順次与えられる度にアクティブとなる頂点更新信号NVが入力し、これはそのままシフト信号WESとして用いることができる。つまり、プリミティブを構成する異なる頂点のそれぞれについての判定信号M1が、ラッチ251~253に順次格納されるのである。

【0043】制御部21bは書き込み許可デコーダ211の他に、プリミティブデコーダ212を有している。

書き込み許可デコーダ211は実施の形態1と同様にし、機能信号Fと軸信号A<1:0>とから書き込み許可信号WE0<5:0>を生成し、レジスタ群23を制御する。一方、プリミティブデコーダ212は、プリミティブの種類を指定する2ビットのプリミティブ指定信号PR<1:0>から、3ビットの選択制御信号SEL<2:0>を生成する。例えばプリミティブが頂点、線、多角形であることに対してプリミティブ指定信号PR<1:0>が値“01”、“10”、“11”を採れば、それぞれ選択制御信号SEL<2:0>は“001”、“010”、“100”を採る。例えば、プリミティブ指定信号PR<1>の論理反転とプリミティブ指定信号PR<0>との論理積をとって選択制御信号SEL<0>を、プリミティブ指定信号PR<1>とプリミティブ指定信号PR<0>との論理積をとって選択制御信号SEL<2>を、プリミティブ指定信号PR<1>とプリミティブ指定信号PR<0>の論理反転との論理積をとって選択制御信号SEL<1>を、それぞれ生成する。

【0044】プリミティブ選択部26はセレクトア26aを有しており、選択制御信号SEL<2:0>に基づいて、3つの入力の内の一つを選択的に判定信号M2として出力する。ここで3つの入力とは、ラッチ251の格納する内容、ラッチ251、252の格納する内容の論理積と、ラッチ251~253の格納する内容の論理積である。つまり、これらは異なる頂点についての判定信号M1それ自身、あるいはその論理積であるので、それぞれプリミティブが頂点、線、多角形である場合にビューボリューム内に収まるか否かの判定結果を示していることになる。そしてセレクトア26aは、プリミティブが頂点、線、多角形であることに対して異なる値をとる選択制御信号SEL<2:0>によって制御されるので、判定信号M2はプリミティブの種類を問わずそれがビューボリューム内に収まるか否かを判定した結果を示していることとなる。

【0045】勿論、セレクトア26aとして、2ビットのプリミティブ指定信号PR<1:0>をそのまま用いて制御できるものを用いても良い。その場合にはプリミティブデコーダ212は不要である。

【0046】図8は本実施の形態の変形を示す回路図である。6入力ANDゲート24は設けられずに、レジスタ群23からの6ビットの出力を6ビットのラッチ254が受ける。ラッチ254~256はそれぞれラッチ251~253と同様にシフト信号WESによって格納するデータが順次シフトする。ラッチ254~256の内容はそれぞれ6入力ANDゲート27a~27cによって論理積が採られ、これらから出力される1ビットの信号がプリミティブ選択部26に入力される。実施の形態1とは異なり、判定信号M1を必ずしも必要とはしないので、係る構成を採ることも可能である。

【0047】本実施の形態は、実施の形態1との比較として説明されたが、レジスタ群23の出力もしくはその論理積たる判定信号M1に対して処理を行う要素を付加したのであるから、実施の形態2についても本実施の形態のような変形を施すことは勿論可能である。

【0048】実施の形態4：実施の形態3において変形として示された図8の構成は、本実施の形態において要素を追加して更に変形することにより、新たな効果を導く。図9は本発明の実施の形態4にかかるクリップ判定装置の構成を示す回路図である。図8に示された構成に対して更に交差面チェック部28を備えている。交差面チェック部28はラッチ254、255、256の出力を入力し、プリミティブと交差する面を示す交差面データ $XP<5:0>$ を出力する。

【0049】図10は交差面チェック部28の構成を示す回路図である。交差面チェック部28は互いに同一の構成を有する交差チェック回路281~286を備えている。交差チェック回路281~286には、それぞれレジスタ231~236に対応する（つまり演算①~⑥に相当する）データが、3つの頂点についてまとめて与えられている。図10における記号 V_{i-j} ($i=0, 1, 2; j=0, 1, 2, 3, 4, 5, 6$)は、頂点 V_i についての演算(j)の結果を示す。例えば V_{2-3} とは頂点 V_2 についての演算③の結果を示す。ここでいう「演算の結果」とは、レジスタ群23に与えられるものとして得られるデータをいう。

【0050】交差チェック回路281は頂点 V_0, V_1, V_2 についての演算①の結果を入力し、後述する3種の論理演算の結果がセレクトア281aに入力される。セレクトア281aは3ビットの選択制御信号 $SEL<2:0>$ に基づいて、これらの3種の論理演算の結果のいずれかを出力する。

【0051】プリミティブが頂点の場合には、実施の形態3で説明されたように、選択制御信号 $SEL<2:0>$ は“001”を採る。そしてセレクトア281aはデータ V_0-1, V_1-1, V_2-1 の値に拘らず“0”を採る第1の論理演算結果を交差面データ $XP<0>$ として出力する。これは、プリミティブが頂点の場合には、面と交差するということがないためである。

【0052】プリミティブが線の場合には、この両端となる2つの頂点の位置が、ビューボリュームを構成する平面のうちの一方を挟んで互いに反対側にあれば、当該平面をプリミティブたる線が交差することになる。つまり、2つの頂点のクリップコードが互いに異なれば、当該平面は交差面となると判断できる。従って、データ V_0-1, V_1-1 の排他的論理和として第2の論理演算結果を求め、セレクトア281aはこれを選択制御信号 $SEL<2:0>$ が“010”である場合に交差面データ $XP<0>$ として出力する。

【0053】プリミティブが三角形の場合には、ある一

つ頂点に対して他の2つの頂点のいずれか一方が平面を挟んで互いに反対側に存在すれば、この平面は交差面となる。換言すれば、3つの頂点のうちの一つでもクリップコードが“1”であり、他の2つの頂点の一つでもクリップコードが“0”であれば、平面は交差面となる。従って、データ V_0-1, V_1-1, V_1-2 について論理積と論理和の両方を求め、これら2つの結果の排他的論理和として第3の論理演算結果を求めればよい。そしてセレクトア281aはこれを選択制御信号 $SEL<2:0>$ が“100”である場合に交差面データ $XP<0>$ として出力する。

【0054】以上のように構成され、また動作するので、交差チェック回路281は頂点 V_0, V_1, V_2 が構成するプリミティブが yz 平面($x=P_0$)と交差するか否かを、それぞれ交差面データ $XP<0>$ の値が“1”、“0”であることを以て判定することができる。他の交差チェック回路282~286も同様に、それぞれプリミティブが yz 平面($x=-P_1$)、 zx 平面($y=Q_0, y=-Q_1$)、 xy 平面($z=R_0, z=-R_1$)と交差するか否かを判断することができる。従って、交差面データ $XP<5:0>$ は、ビューボリュームを構成する6つの平面が、与えられたプリミティブに対する交差面であるか否かを並行して判断することができる。

【0055】以上のように本実施の形態では、交差面の検出をハードウェアによって並列処理するので、迅速に交差面を求めることができる。

【0056】実施の形態5：実施の形態1ないし実施の形態4では、3次元グラフィックス表示におけるビューボリュームについてのプリミティブに対するクリップ処理に関して説明してきたが、勿論、2次元グラフィックス表示におけるウィンドウについてのプリミティブに対するクリップ処理においても適用できる。例えば z 軸方向に広がりがないウィンドウについて考える場合には xy 平面についてのクリップ処理を行う必要がないので、レジスタ235、236や $ALU10c$ は必要ない。

【0057】しかし、3次元グラフィックス表示におけるビューボリューム、及び2次元グラフィックス表示におけるウィンドウのいずれについてもプリミティブに対するクリップ処理を行いたい場合には、レジスタ235、236や $ALU10c$ を省略することができず、グラフィックスにおいてビューボリューム、ウィンドウのいずれを採用するかに基づいて、レジスタ235、236や $ALU10c$ の出力を選択的に使用することが望ましい。本実施の形態ではかかる態様について説明する。

【0058】図11は、本発明の実施の形態5にかかるクリップ判定装置の構成を示す回路図である。図1に示された実施の形態1にかかるクリップ判定装置の6入力ANDゲート24を判定信号生成部29に、制御部21aを制御部21dに、それぞれ置換した構成を有してい

る。

【0059】判定信号生成部29にはレジスタ群23からの出力と、制御部21dからの2ビットの選択信号DS<1:0>が与えられ、判定信号M3が生成される。判定信号生成部29は4入力ANDゲート291、3入力ANDゲート292、及びセクタ293を有している。セクタ293は、選択信号DS<1:0>が“01”、“10”を採ることに対応して、それぞれANDゲート291、292の出力を出力する。

【0060】4入力ANDゲート291はレジスタ231~234の格納するデータの論理積を、3入力ANDゲート292は4入力ANDゲート291の出力と、レジスタ235、236の格納するデータの論理積、即ちレジスタ231~236の格納するデータの論理積を、それぞれ出力する。つまり、4入力ANDゲート291はある頂点がウィンドウに収まるか否かを示し、3入力ANDゲート292は頂点がビューボリュームに収まるか否かを示すことになる。換言すれば、3入力ANDゲート292の出力は実施の形態1で示された判定信号M1である。

【0061】図12は制御部21dの構成を示す回路図である。制御部21dは、実施の形態1において説明された書き込み許可デコーダ211とインバータとを備えている。書き込み許可デコーダ211の動作は実施の形態1に説明されのと様であって、6ビットの書き込み許可信号WE0<5:0>をレジスタ群23に与える。一方、制御部21dには次元選択信号DISが入力され、これは上記インバータによって反転されて選択信号DS<1>が、反転されずにそのまま採用されて選択信号DS<0>が、それぞれ生成される。従って、グラフィックスにおいてビューボリューム、ウィンドウのいずれを採用するかに基づいて、次元選択信号DISがそれぞれ“0”、“1”を採るように設定すれば、選択信号DS<1:0>がそれぞれ“10”、“01”を採ることとなり、セクタ293はそれぞれ4つのクリップコードの論理積、6つのクリップコードの論理積を判定信号M3として出力する。

【0062】本実施の形態によれば、以上のようにしてグラフィックスにおいてビューボリューム、ウィンドウのいずれを採用するかに対応した判定信号を得ることができる。勿論、セクタ293が1ビットの信号の二値に対応してゲート291、292の出力を選択的に出力する機能を有していれば、次元選択信号DISをそのままセクタ293の制御に用いることができるため、制御部21dは制御部21aと置換しても良い。

【0063】

【発明の効果】この発明のうち請求項1にかかるクリップ処理装置によれば、複数のレジスタに対し、機能信号に基づく演算によって求められる、頂点の座標と領域の境界の座標との位置関係を示す第1及び第2の信号が、

やはり機能信号に基づいて振り分けて格納される。従って、機能信号に基づく制御によって複数のレジスタに格納されたデータからクリップコードを迅速に得ることができる。

【0064】この発明のうち請求項2にかかるクリップ処理装置によれば、座標毎に演算を行う必要が無く、また第1種レジスタ及び第2種レジスタの制御が簡易となる。

【0065】この発明のうち請求項3にかかるクリップ処理装置及び請求項4にかかるクリップ処理装置によれば、クリップコードが同一の値を有するか否か、即ち表示領域の内にあるか否かがハードウェアによって迅速に判定できる。

【0066】この発明のうち請求項5にかかるクリップ処理装置によれば、被表示図形を構成する頂点のN個において並行して求められるので、被表示図形が表示領域内にあるか否かを容易に求めることができる。

【0067】この発明のうち請求項6にかかるクリップ処理装置によれば、交差チェック回路は表示領域の境界に対応して設けられることになる。被表示図形を構成する複数の頂点は、どの境界において互いに反対側に存在するかが排他的論理和によって得られる。従って、被表示図形と表示領域とが交差する境界を迅速に求めることができる。

【0068】この発明のうち請求項7にかかるクリップ処理装置によれば、第1のゲートからは被表示図形が線の場合について、第4のゲートからは被表示図形が三角形の場合について、それぞれ表示領域のどの境界と交差するのを知ることができる。

【0069】この発明のうち請求項8にかかるクリップ処理装置によれば、表示領域が2次元の場合にも3次元の場合にも、被表示図形が表示領域内に収まるか否かを判断することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1にかかるクリップ判定装置の構成を示す回路図である。

【図2】 フラグチェック部22の構成を示す回路図である。

【図3】 制御部21aの構成を示す回路図である。

【図4】 本発明の実施の形態2にかかるクリップ判定装置の構成を示す回路図である。

【図5】 制御部21cの構成を示す回路図である。

【図6】 本発明の実施の形態3にかかるクリップ判定装置の構成を示す回路図である。

【図7】 制御部21bの構成を示す回路図である。

【図8】 本発明の実施の形態3の変形を示す回路図である。

【図9】 本発明の実施の形態4にかかるクリップ判定装置の構成を示す回路図である。

【図10】 交差面チェック部28の構成を示す回路図

である。

【図11】 本発明の実施の形態5にかかるクリップ判定装置の構成を示す回路図である。

【図12】 制御部21dの構成を示す回路図である。

【図13】 クリップ処理を示す概念図である。

【図14】 クリップ処理を示す概念図である。

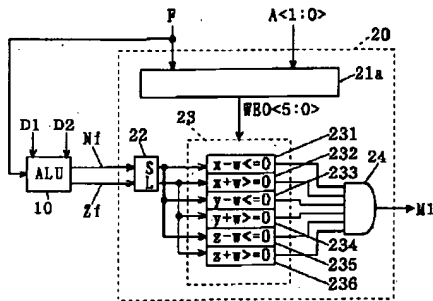
【図15】 クリップ処理を示す概念図である。

【図16】 クリップ処理を示す概念図である。

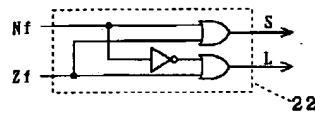
【符号の説明】

* V0~V2 頂点、x0, y0, z0, P0, P1, Q0, Q1, R0, R1座標、S, L 出力、10, 10a, 10b, 10c ALU、22, 22a, 22b, 22c フラグチェック部、231~236 レジスタ、24 6入力ANDゲート、251~256 ラッチ、281~286 交差チェック回路、XP 交差面データ、281a, 293 セレクタ、29 判定信号生成部、291 4入力ANDゲート、293 4入力ANDゲート。

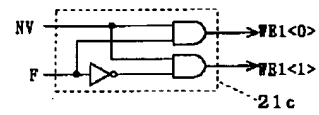
【図1】



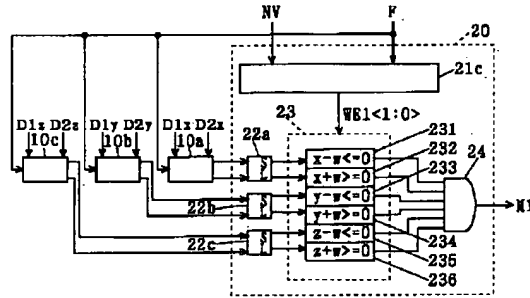
【図2】



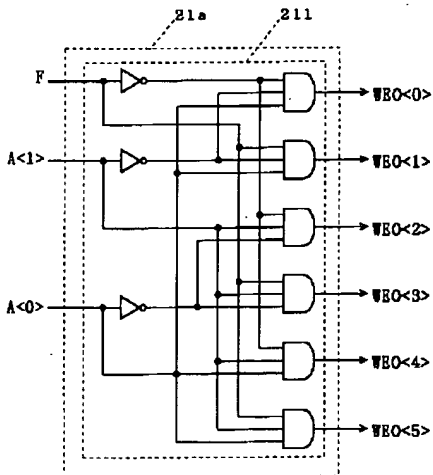
【図5】



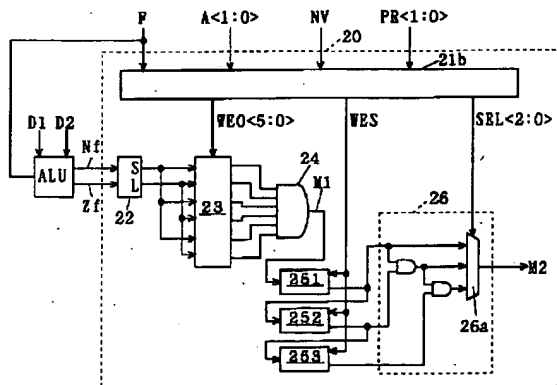
【図4】



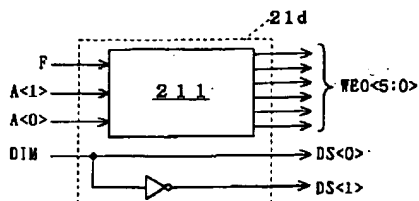
【図3】



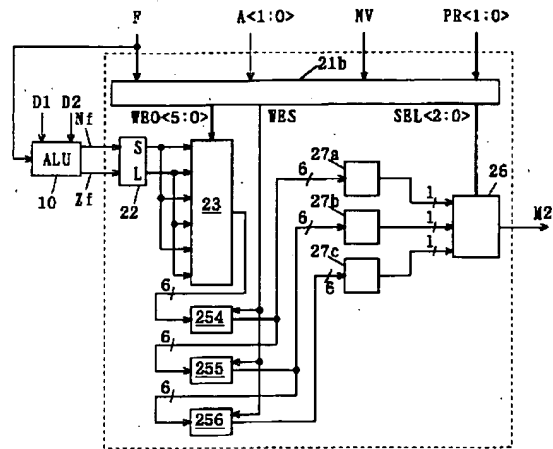
【図6】



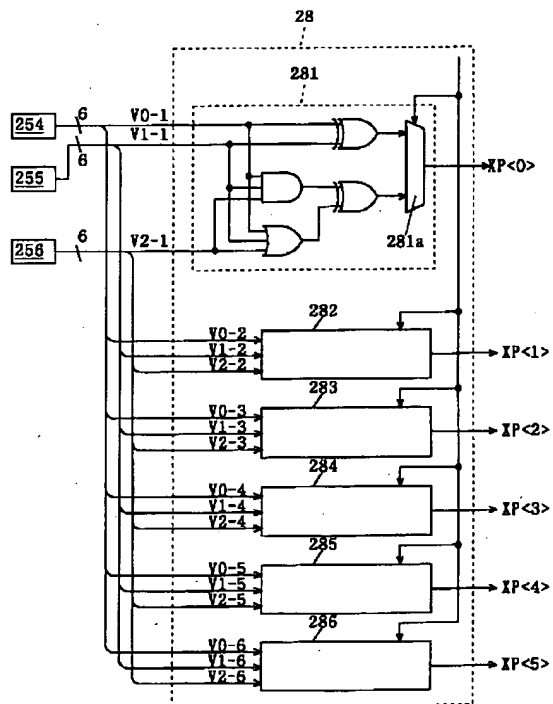
【図12】



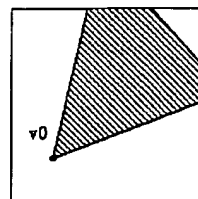
【図 8】



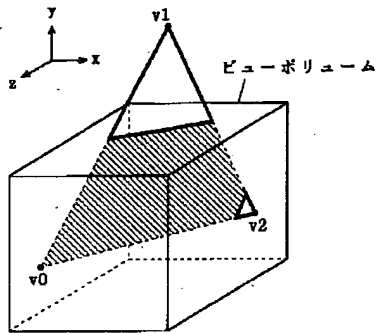
【図 10】



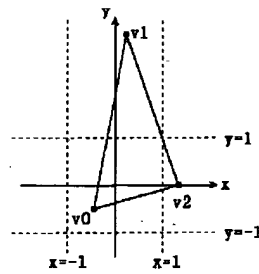
【图 14】



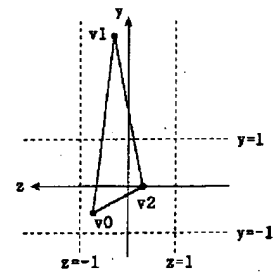
【図13】



【図15】



【図16】



フロントページの続き

(72)発明者 根岸 博康
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内